

**PRIORITY
DOCUMENT**

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)



REC'D 28 MAR 2003

V IPO

PCT

**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung**

Aktenzeichen:

102 01 304.7

Anmeldetag:

15. Januar 2002

Anmelder/Inhaber:

Infineon Technologies AG, München/DE

Bezeichnung:

Nichtflüchtige Halbleiter-Speicherzelle sowie zugehöriges Herstellungsverfahren

IPC:

H 01 L 27/115

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 18. März 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Wallner

Zusammenfassung

Nichtflüchtige Halbleiter-Speicherzelle sowie zugehöriges Herstellungsverfahren

5

Die Erfindung betrifft eine nichtflüchtige Halbleiter-Speicherzelle sowie ein zugehöriges Herstellungsverfahren, wobei in einem Substrat (1) ein Sourcegebiet (7), ein Draingebiet (8) und ein dazwischenliegendes Kanalgebiet ausgebildet wird. Zur Realisierung von lokal begrenzten Speicherorten (LB, RB) wird eine auf einer ersten Isolationsschicht (2) befindliche elektrisch nicht leitende Ladungsspeicherschicht (3) durch eine Unterbrechung (U) aufgeteilt, wodurch insbesondere ein lateraler Ladungstransport zwischen den Speicherorten (LB, RB) verhindert wird und sich die Ladehalteeigenschaften wesentlich verbessern.

10

15

Figur 2

Beschreibung

Nichtflüchtige Halbleiter-Speicherzelle sowie zugehöriges Herstellungsverfahren

5

Die vorliegende Erfindung bezieht sich auf eine nichtflüchtige Halbleiter-Speicherzelle sowie ein zugehöriges Herstellungsverfahren und insbesondere auf eine sogenannte Dualbit-EEPROM-Speicherzelle.

10

Als Alternative zu herkömmlichen mechanischen Speichereinrichtungen haben sich in letzter Zeit nichtflüchtige Halbleiter-Speichereinrichtungen mit nichtflüchtigen Halbleiter-Speicherzellen wie beispielsweise FLASH-, EPROM-, EEPROM-, FPGA-Speicherzellen und dergleichen immer mehr durchgesetzt. Derartige wieder beschreibbare nichtflüchtige Halbleiter-Speicherzellen können über einen lange Zeitraum und ohne Verwendung einer Spannungsversorgung Daten abspeichern.

15

20 Üblicherweise bestehen derartige Halbleiter-Speicherzellen aus einem Halbleitersubstrat, einer isolierenden Tunnel-schicht, einer Speicherschicht, einer isolierenden dielektrische Schicht und einer leitenden Steuerschicht. Zur Speicherung von Informationen werden Ladungen von einem Halbleitersubstrat in die ladungsspeichernde Schicht eingebracht. Verfahren zum Einbringen der Ladungen in die Speicherschicht sind beispielsweise Injektion heißer Ladungsträger und Fowler-Nordheim-Tunneln.

30

Bei der Realisierung von derartigen nichtflüchtigen Halbleiter-Speicherzellen sind insbesondere ein Informationsgehalt pro Flächeneinheit, die Ladungshalteeigenschaften sowie die Betriebsspannungen zum Lesen und Programmieren von Bedeutung. Zur Verbesserung einer Ladungshaltezeit wurden hierbei insbesondere zunehmend nichtflüchtige Halbleiter-Speicherzellen mit elektrisch nicht leitenden Ladungsspeicherschichten verwendet, wodurch auch bei teilweise unzureichenden Isolations-

35

schichten ein Leckstrom verhindert und dadurch die Ladungshalteeigenschaften (charge retention) verbessert werden können.

- 5 Darüber hinaus wurden sogenannte Multi-Bit-Halbleiter-Speicherzellen entwickelt, die eine Vielzahl von Informationsgehalten bzw. Bits in einer Speicherzelle realisieren können. Auf diese Weise konnte der Informationsgehalt pro Flächeneinheit wesentlich verbessert werden.

10

Die vorliegende Erfindung bezieht sich insbesondere auf eine Dualbit-Halbleiter-Speicherzelle mit der zwei Bits nicht-flüchtig gespeichert werden können.

- 15 Eine derartige Dualbit-Halbleiter-Speicherzelle ist beispielsweise aus der Druckschrift US 6,011,725 bekannt und wird nachfolgend mittels Figur 1 beschrieben.

- 20 Gemäß Figur 1 besitzt eine derartige Zwei-Bit-EEPROM-Speicherzelle ein Halbleitersubstrat 1, welches beispielsweise p-dotiert ist und welches ein n⁺-dotiertes Sourcegebiet 7 und Draingebiet 8 mit dazugehörigen Anschlüssen Source- und Drainanschlüssen S und D aufweist. Es sei darauf hingewiesen, dass in einer derartigen Zelle ein symmetrischer Aufbau verwendet wird, weshalb die Begriffe Source und Drain nicht unbedingt aussagekräftig sind. Tatsächlich kann beispielsweise das Sourcegebiet 7 auch als Draingebiet und das Draingebiet 8 auch als Sourcegebiet angeschaltet werden.

- 30 Gemäß Figur 1 definieren die Source- und Draingebiete 7 und 8 ein dazwischen liegendes Kanalgebiet. An der Oberfläche dieses Kanalgebiets befindet sich eine erste Isolationsschicht 2, eine elektrisch nicht leitende Ladungsspeicherschicht 3, eine zweite Isolationsschicht 4 und eine elektrisch leitende Steuerschicht 10, die einen Gateanschluss G aufweist. Als
35 elektrisch nicht leitende Ladungsspeicherschicht 3 wird gemäß Figur 1 Siliziumnitrid verwendet. Zum Programmieren, d.h.

Schreiben und Löschen dieser herkömmlichen nichtflüchtigen Halbleiter-Speicherzelle wird im Wesentlichen eine Injektion heißer Ladungsträger durchgeführt, wobei zum Schreiben beispielsweise heiße Elektronen drainseitig in die Ladungsspeicherschicht 3 und zum Löschen heiße Löcher drainseitig injiziert werden. Da es sich um eine symmetrische Dualbit-Speicherzelle handelt, können in gleicher Weise auch sourceseitig Ladungsträger in die Ladungsspeicherschicht 3 injiziert werden, wobei jedoch das Sourcegebiet 7 als Drain geschaltet ist. Hinsichtlich des Verfahrens zum Lesen, Schreiben und Löschen einer derartigen Speicherzelle wird explizit auf die Druckschrift US 6,011,725 verwiesen.

Obwohl man bei einer derartigen herkömmlichen Halbleiter-Speicherzelle bereits außerordentlich hohe Ladungshalteeigenschaften bei relativ geringen Programmierspannungen erhält, haben sich jedoch Nachteile gezeigt, die insbesondere bei einer mehrfachen Programmierung über einen langen Zeitraum von Bedeutung sind. Dies liegt insbesondere daran, dass die zum Löschen notwendigen heißen Löcher in der Regel mittels Lawineneffekt im Feld der p-n Diode erzeugt werden und daher nicht exakt an die gleiche Stelle in der Ladungsspeicherschicht 3 fallen wie die beim Schreiben eingebrachten heißen Elektronen. Für einen rechts angeordneten Speicherort RB (right bit) ergibt sich in gleicher Weise wie für einen sourceseitig angeordneten linken Speicherort LB (left bit) das Problem, dass die Elektronen und Löcher nicht exakt an der gleichen Stelle eingebracht werden und folglich eine leichte Ladungsverschiebung stattfindet. Diese ungenaue Kompensation führt in der Regel zu Schwellwertverschiebungen in der Speicherzelle und damit zu Lesestromänderungen. Dies wiederum verursacht eine erhöhte Ungenauigkeit in einer nicht dargestellten Auswerteschaltung.

Ein weiterer Punkt, wodurch die Ladungshalteeigenschaften dieser herkömmlichen Halbleiter-Speicherzelle negativ beeinflusst werden, liegt in der Tatsache begründet, dass, obwohl

die Ladungsspeicherschicht 3 elektrisch nicht leitend ist, dennoch eine geringe Ladungsbewegung stattfindet. Diese Ladungsbewegung innerhalb der Ladungsspeicherschicht 3 basiert vor allem auf Drift- und Diffusionsvorgängen, die zu einer langsamen Umverteilung der Ladungen in der Ladungsspeicherschicht 3 führen. Gemäß Figur 1 ist beispielsweise eine durchgezogene Ladungsverteilungskurve V dargestellt, wie sie sich kurz nach dem Einschreiben von beispielsweise Elektronen an den lokalen Speicherorten LB und RB ergibt. Auf Grund von Drift- und Diffusionsvorgängen verändert sich jedoch diese Verteilung V, wobei sich nach Ablauf einer vorbestimmten Zeit die gestrichelt dargestellte verbreiterte Verteilungskurve V' in der Ladungsspeicherschicht 3 einstellt. Dadurch wird jedoch die in den lokalen Speicherorten LB und RB abgelegte Ladungsdichte verringert. Durch das Umverteilen der Ladungen innerhalb der Ladungsspeicherschicht 3 wird die Schwellenspannung der Halbleiter-Speicherzelle verändert, was wiederum zu einem Informationsverlust oder zumindest zu erhöhten Anforderungen in der nicht dargestellten Auswerteschaltung führt.

Der Erfindung liegt daher die Aufgabe zu Grunde eine nicht-flüchtige Halbleiter-Speicherzelle sowie ein zugehöriges Herstellungsverfahren zu schaffen, bei dem man verbesserte Ladungshalteeigenschaften erhält.

Erfindungsgemäß wird diese Aufgabe hinsichtlich der Speicherzelle durch die Merkmale des Patentanspruchs 1 und hinsichtlich des Verfahrens durch die Maßnahmen des Patentanspruchs 5 gelöst.

Insbesondere durch die Verwendung von lokal isolierten nicht leitenden Ladungsspeicherschichten bzw. einer elektrisch nicht leitenden Ladungsspeicherschicht, die zum Ausbilden dieser lokal begrenzten Speicherorte eine Unterbrechung aufweist, kann zum einen eine Umverteilung auf Grund der vorstehend beschriebenen Drift- und Diffusionsvorgänge in der La-

5 dungsspeicherschicht zuverlässig verhindert werden. Darüber hinaus können die unterschiedlichen Einbringgenauigkeiten von Löchern und Elektronen in die Speicherschicht kompensiert werden, da die Ladungsspeicherschicht nur noch örtlich scharf begrenzt vorhanden ist.

10 Vorzugsweise weist auch die erste und die zweite Isolations- schicht eine Unterbrechung auf bzw. sind nicht durchgehend miteinander verbunden, wodurch sich die Herstellung vereinfacht.

15 Zur Realisierung einer Halbleiter-Speicherzelle mit hervorragenden elektrischen Eigenschaften kann ferner eine dritte Isolationsschicht im Bereich zwischen den lokal begrenzten Speicherorten bzw. im Bereich der Unterbrechung eingebracht werden und ferner mit einer elektrisch leitenden Steuer- schicht beschichtet werden. Insbesondere bei hochintegrierten Schaltungen werden dadurch die elektrischen Eigenschaften verbessert.

20 Vorzugsweise besitzt die erste Isolationsschicht eine Dicke, die größer ist als eine für ein direktes Tunneln notwendige Materialdicke, wodurch insbesondere die Ladungshalteeigenschaften wesentlich verbessert werden können.

In den Unteransprüchen sind weitere vorteilhafte Ausgestaltungen der Erfindung gekennzeichnet.

30 Die Erfindung wird nachstehend anhand eines Ausführungsbeispiels unter Bezugnahme auf die Zeichnung näher beschrieben.

Es zeigen:

35 Figur 1 eine vereinfachte Schnittansicht einer Halbleiter-Speicherzelle gemäß dem Stand der Technik;

Figur 2 eine vereinfachte Schnittansicht einer erfindungsgemäßen nichtflüchtigen Halbleiter-Speicherzelle; und

Figuren 3A bis 3G-II vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Herstellungsschritte der erfindungsgemäßen nichtflüchtigen Halbleiter-Speicherzelle.

Figur 2 zeigt eine vereinfachte Schnittansicht einer erfindungsgemäßen nichtflüchtigen Halbleiter-Speicherzelle, wobei gleiche Bezugszeichen gleiche oder ähnliche Elemente bzw. Schichten bezeichnen wie in Figur 1 und auf eine wiederholte Beschreibung nachfolgend verzichtet wird.

Die nachfolgend beschriebene Dualbit-EEPROM-Speicherzelle entspricht insbesondere hinsichtlich des Verfahrens zum Schreiben, Lesen und Löschen von Informationen der Dualbit-Speicherzelle gemäß Druckschrift US 6,011,725, weshalb an dieser Stelle ausdrücklich auf das in dieser Druckschrift offenbarte Verfahren verwiesen wird und auf eine wiederholte Beschreibung verzichtet wird.

Gemäß Figur 2 besteht die als Dualbit-EEPROM bezeichnete nichtflüchtige Halbleiter-Speicherzelle aus einem Substrat 1, in dem ein Sourcegebiet 7, ein Draingebiet 8 und ein dazwischen liegendes Kanalgebiet vergleichbar zu einem herkömmlichen Feldeffekttransistor ausgebildet ist. Beispielsweise besteht das Substrat 1 aus einem p-dotierten Halbleitermaterial wie z.B. Silizium. Bei der dargestellten NMOS-Speicherzelle sind die Source- und Draingebiete beispielsweise n⁺-dotiert. An der Oberfläche des Substrats 1 befindet sich zumindest an einem ersten lokal begrenzten Speicherort LB (left bit) und einem zweiten lokal begrenzten Speicherort RB (right bit) jeweils eine erste Isolationsschicht 2 bzw. ein Dielektrikum wie z.B. SiO₂. Darüber liegend befindet sich eine elektrisch nicht leitende Ladungsspeicherschicht 3, die zum eigentlichen Speichern der eingebrachten Ladungen verwendet wird. Diese elektrisch nicht leitende Ladungsspeicherschicht 3 besteht

150102

N

7

wiederum aus einem Dielektrikum wie z.B. Si_3N_4 oder sogenanntes „silicon rich oxid“ Si_{2+x}O auf. An der Oberfläche dieser Ladungsspeicherschicht 3 befindet sich an den lokal begrenzten Speicherorten LB und RB ferner eine zweite Isolations-
5 schicht 4 aus wiederum einem Dielektrikum wie z.B. SiO_2 . Wie bei der herkömmlichen Dualbit-Halbleiter-Speicherzelle sind demzufolge sourceseitig ein erster lokaler Speicherort LB (left bit) und drainseitig ein zweiter lokaler Speicherort RB (right bit) ausgebildet, die einen Stromfluss im Kanalgebiet
10 bei Anlegen vorbestimmter Spannungen maßgeblich beeinflussen und somit zum Speichern von Daten, d.h. zwei Bits, geeignet sind.

Gegenüber der herkömmliche Halbleiter-Speicherzelle ist nun-
15 mehr jedoch die elektrisch nicht leitende Ladungsspeicherschicht 3 nicht durchgehend miteinander verbunden, sondern unterbrochen. Durch diese Unterbrechung bzw. Lücke U in der elektrisch nicht leitenden Ladungsspeicherschicht 3 wird sourceseitig ein erster lokal begrenzter Speicherort LB und
20 drainseitig ein zweiter lokal begrenzter Speicherort RB vollkommen isoliert ausgebildet, wodurch die eingangs beschriebenen Drift- und Diffusionsvorgänge nicht zu einem Datenverlust führen können. Die Ladungsdichte in den lokal begrenzten Speicherorten LB und RB bleibt somit unverändert, weshalb man hervorragende Ladungshalteeigenschaften erhält.

Darüber hinaus werden jedoch durch die Ausbildung der lokal begrenzten Speicherorte LB und RB die elektrischen Eigenschaften der nichtflüchtigen Halbleiter-Speicherzelle verbessert. Wie eingangs bereits beschrieben wurde, erfolgt das Be-
30 schreiben der Speicherorte bzw. das Einbringen von Ladungen in die Speicherorte durch Injektion heißer Ladungsträger und wie beispielsweise in diesem Fall durch Injektion von Elektronen, welche im Kanalgebiet derart beschleunigt werden, dass
35 sie die Energiebarriere der ersten Isolationsschicht 2 überwinden können und in die elektrisch nicht leitende Ladungsspeicherschicht 3 gelangen. Andererseits erfolgt jedoch das

Löschen dieser Daten durch eine Kompensation der eingebrachten Ladungen mit entsprechend entgegengesetzten Ladungen. Beispielsweise werden zum Löschen heiße Löcher in die lokal begrenzten Speicherorte LB und RB injiziert. Da jedoch die

5 Erzeugung von heißen Löchern üblicherweise über einen Lawineffekt im pn-Dioden Bereich an Drain respektive Source erfolgt, ist der genaue Ort, in dem die Löcher letztendlich in der Ladungsspeicherschicht 3 zu liegen kommen nur sehr schwer

10 vorher zu bestimmen und unterscheidet sich in der Regel von den Orten der Elektronen. Diese sich aus der Programmierung ergebende Ungenauigkeit wird erfindungsgemäß durch die lokal begrenzten Speicherorte LB und RB kompensiert, da auch bei einem sehr ungenauen Löschvorgang, der beispielsweise versetzt zur Verteilungsdichte der Elektronen erfolgt, diese un-

15 berücksichtigt bleiben und somit keinen negativen Einfluss beispielsweise auf die Schwellwertspannungen der Speicherzelle haben. Lediglich die tatsächlich in die lokal begrenzten Speicherorte LB und RB eingebrachten Löcher sind für eine Kompensation der Elektronen wirksam. Somit verbessern sich

20 nicht nur die Ladungshalteeigenschaften, sondern auch die grundsätzlichen elektrischen Eigenschaften der nichtflüchtigen Halbleiter-Speicherzelle. Insbesondere die Veränderung der Schwellspannungen nach wiederholtem Schreib- und Löschvorgängen wird deutlich reduziert gegenüber dem Standardfall. Da die Ladungsspeicherbereiche nun auf LB und RB beschränkt sind, bestehen nunmehr geringere Anforderungen an die genaue Überlagerung beider Ladungsverteilungen. Ein weiterer Vorteil ist somit eine vereinfachte Entwicklung der pn-Diode und eine weniger kritische Fertigbarkeit.

30 Vorzugsweise besitzt die erste Isolationsschicht 2 eine Dicke, die größer ist als eine für ein jeweiliges Material notwendige Dicke für direktes Tunneln. Damit können Ladungsverluste auf Grund von direktem Tunneln zuverlässig verhindert

35 werden. Gleiches gilt auch für die zweite Isolationsschicht 4, die sich oberhalb der Ladungsspeicherschicht 3 befindet.

Gemäß Figur 2 besitzt nicht nur die elektrisch nicht leitende Ladungsspeicherschicht 3 eine Unterbrechung U, sondern auch die erste und zweite Isolationsschicht 2 und 4. Dadurch ergeben sich an den lokal begrenzten Speicherorten LB und RB lokal sehr begrenzte Schichtstapel, wobei der übrige Bereich insbesondere an der Oberfläche des Kanalgebiets frei von diesen Schichten ist. Gemäß Figur 2 befindet sich folglich eine dritte Isolationsschicht 9, die wiederum ein Dielektrikum wie z.B. SiO_2 aufweist an der Oberfläche des Substrats 1 bzw. dem lokal begrenzten Schichtstapel bestehend aus den Schichten 2, 3 und 4. An der Oberfläche dieser dritten Isolationsschicht 9 ist eine elektrisch leitende Steuerschicht 10 ausgebildet, wodurch die Lücke bzw. die Unterbrechung U zwischen den lokal begrenzten Speicherorten bzw. den Source- und Draingebieten 7 und 8 zumindest teilweise aufgefüllt ist. Optional kann eine vierte Isolationsschicht 11 an der Oberfläche der elektrisch leitenden Steuerschicht 10 ausgebildet werden, wobei beispielsweise ein Postoxid verwendet wird.

Nachfolgend wird ein Verfahren zur Herstellung der in Figur 2 dargestellten nichtflüchtigen Halbleiter-Speicherzelle anhand von Figuren 3A bis 3G-II beschrieben, wobei gleiche Bezugszeichen gleiche oder entsprechende Schichten bezeichnen und auf eine wiederholte Beschreibung nachfolgend verzichtet wird.

Gemäß Figur 3A werden zunächst auf einem Substrat 1, welches beispielsweise ein p-dotiertes Silizium-Halbleitersubstrat aufweist, eine erste Isolationsschicht 2, eine elektrisch nicht leitende Ladungsspeicherschicht 3, eine zweite Isolationsschicht 4 und eine Maskenschicht 5 ausgebildet. Zur Vermeidung von direkten Tunneleffekten besteht die erste Isolationsschicht aus einer ca. 8 bis 10 nm dicken SiO_2 -Schicht. Direktes Tunneln tritt für SiO_2 typischerweise bei Schichtdicken kleiner 4 bis 6 nm auf. Die elektrisch nicht leitende Ladungsspeicherschicht besteht aus einer einigen nm dicken Si_3N_4 -Schicht, kann jedoch auch sogenanntes „silicon rich o-

xide" d.h. Si_xO_y aufweisen. Für die zweite Isolationsschicht 4 wird beispielsweise 6 bis 10 nm dickes Siliziumdioxid verwendet, wodurch auch in dieser Richtung ein direktes Tunneln verhindert wird. Die Maskenschicht 5 besteht beispielsweise aus einem in einem jeweiligen Standardprozess vorliegenden Material, wie z.B. Polysilizium.

Gemäß Figur 3B wird in einem nachfolgenden Schritt eine Strukturierung der Maskenschicht 5 beispielsweise durch herkömmliche fotolithographische oder sonstige Verfahren durchgeführt und anschließend eine Zwischenschicht ausgebildet. Diese Zwischenschicht besteht beispielsweise aus einer konform abgeschiedenen Si_3N_4 -Schicht die anschließend in einem herkömmlichen Rückätzschritt zur Herstellung der in Figur 3B dargestellten Seitenwandschichten bzw. Spacer 6 verwendet wird.

Zur Ausbildung der vorstehend beschriebenen Schichten 2 bis 6 sind alle für ein jeweiliges Material bekannten Verfahren zu verwenden, wie z.B. CVD (chemical vapor deposition), , epitaktische Verfahren und/oder thermische Oxidation.

Gemäß Figur 3C wird nunmehr anhand der strukturierten Maskenschicht 5 und der daran ausgebildeten Seitenwandschichten bzw. Spacer 6 zumindest die zweite Isolationsschicht 4 und die Ladungsspeicherschicht 3 entfernt und anschließend beispielsweise mittels Ionenimplantation die Source- und Draingebiete 7 und 8 selbstjustierend im Substrat 1 ausgebildet. In diesem Fall dient die erste Isolationsschicht 2 als Streumaterial bzw. Streuoxid zur Vermeidung von sogenannten „channeling-Effekten“.

In gleicher Weise können jedoch die n^+ -dotierten Source- und Draingebiete auch durch unmittelbare Implantation in das Halbleitersubstrat 1 durchgeführt werden, wobei auch die erste Isolationsschicht 2 bei der Strukturierung unter Verwendung der strukturierten Maskenschicht 5 und der Seitenwand-

schicht 6 entfernt wird. Selbstverständlich können auch sogenannte pocket-Implantationen eingefügt werden. Die Source- und Draingebiete 7 und 8 realisieren gleichzeitig auch die Bitleitungen der nichtflüchtigen Halbleiter-Speicherzelle oder zumindest die Anschlussgebiete für die Bitleitungen.

Die Herstellungsverfahren zum Strukturieren und Entfernen der vorstehend beschriebenen Schichten entsprechen herkömmlichen Strukturierungs- und Ätzverfahren, wobei vorzugsweise anisotrope Ätzverfahren durchgeführt werden.

Gemäß Figur 3D werden in einem nachfolgenden Verfahrensschritt die verbleibende Maskenschicht 5 sowie die zweite Isolationsschicht 4, die Ladungsspeicherschicht 3 und die erste Isolationsschicht 2 unter Verwendung der Seitenwandschichten bzw. Spacer 6 entfernt. Wiederum wird hierbei vorzugsweise anisotropes Ätzen (RIE, reactive ion etching) durchgeführt, wobei sich jedoch eine gewisse Dünnung des Substrats in den Source- und Draingebieten 7 und 8 ergeben kann. Diese Dünnung des Substrats 1 durch den Rückätzprozess ist jedoch generell vernachlässigbar, da sie keine negativen Auswirkungen auf die elektrischen oder sonstigen Eigenschaften des Prozesses oder der somit hergestellten Speicherzelle verursacht. Auf diese Weise erhält man eine Unterbrechung bzw. Lücke U zum Ausbilden von lokal begrenzten Speicherorten LB und RB, die im Wesentlichen selbstjustierend source- und drainseitig jeweils am Kanalende angeordnet sind. Die Breite dieser lokal begrenzten Speicherorte kann sehr genau durch die verwendete Spacertechnik zum Ausbilden der Seitenwandschichten 6 eingestellt werden, wodurch auch in einem sub- μm - bzw. sub-100nm-Bereich diese Speicherorte exakt definiert und angeordnet werden können. Dadurch können insbesondere die elektrischen Eigenschaften der Speicherzelle bei hoher Miniatürisierung stark verbessert werden.

Gemäß Figur 3E wird in einem nachfolgenden Verfahrensschritt die Seitenwandschicht bzw. der Spacer 6 entfernt, wobei bei-

spielsweise herkömmliche selektive Nassätzverfahren eingesetzt werden. Im Beispiel eines Si_3N_4 -Spacers 6 kann heiße Phosphorsäure dazu verwendet werden.

- 5 Gemäß Figur 3F werden in einem nachfolgenden Verfahrensschritt eine dritte Isolationsschicht 9, die im Wesentlichen eine Gateoxidschicht darstellt und beispielsweise aus thermisch ausgebildetem SiO_2 besteht, ganzflächig ausgebildet. Auf diese Weise erhalten die Schichtstapel an den lokal be-
- 10 grenzten Speicherorten auch eine ausreichende Seitenwandisolation. Vorzugsweise wird diese Seitenwandisolation wiederum auf eine Dicke eingestellt, die direktes Tunneln verhindert. Anschließend erfolgt die Ausbildung einer elektrisch leitenden Steuerschicht 10, wobei beispielsweise eine hochdotierte
- 15 Polysiliziumschicht oder ein Metall abgeschieden wird. Es können jedoch auch sonstige elektrisch leitende Schichten verwendet werden wie z.B. silizierte Halbleitermaterialien.

- Ferner erfolgt zu diesem Zeitpunkt eine Strukturierung der
- 20 elektrisch leitenden Steuerschicht 10 zum Ausbilden von Wortleitungen bzw. Wortleitungstreifen WL.

Die Figuren 3F-I und Figur 3F-II zeigen vereinfachte Schnittansichten der in Figur 3F angedeuteten Schnitte I-I' und II-II' zur Veranschaulichung der Schichtstruktur nach diesem Strukturierungsschritt.

- Gemäß Figur 3F-I befinden sich nunmehr parallel angeordnete Wortleitungen WL an der Oberfläche der abgeschiedenen oder
- 30 durch thermische Oxidation ausgebildeten dritten Isolationsschicht 9, die sich wiederum auf dem aus der ersten Isolationsschicht 2, der Ladungsspeicherschicht 3 und der zweiten Isolationsschicht 4 bestehenden Schichtstapel auf dem Halbleitersubstrat 1 befindet.

35

Andererseits befinden sich die strukturierten und parallel verlaufenden Wortleitungen WL gemäß Figur 3F-II zwar wiederum

auf der dritten Isolationsschicht 9, wobei sich jedoch diese unmittelbar auf dem jeweiligen Source- und Draingebiet 7 und 8 bzw. dem Substrat 1 befindet.

- 5 Gemäß Figur 3G erfolgt in einem weiteren Verfahrensschritt unter Verwendung der strukturierten Steuerschicht 10 bzw. der Wortleitungen WL ein selektives Entfernen der dritten Isolationsschicht 9, der zweiten Isolationsschicht 4, der Ladungsspeicherschicht 3 und der ersten Isolationsschicht 2, wodurch
10 die bisher streifenförmig ausgebildeten lokal begrenzten Speicherorte nunmehr auch in dieser Richtung begrenzt werden. Somit ergeben sich lokal begrenzte Inseln für die Speicherorte LB und RB. Insbesondere bei einer matrixförmigen Anordnung der Speicherzellen ergibt sich somit auch eine vollständige
15 Isolation zu benachbarten Speicherorten. Beispielsweise wird hierbei wieder ein anisotropes Ätzverfahren verwendet, wobei abschließend eine vierte Isolationsschicht 11 insbesondere zur seitlichen Isolation auch in dieser Richtung ausgebildet wird. Diese als Postoxid (POX) bezeichnete vierte Isolations-
20 schicht 11 besitzt wiederum vorzugsweise eine Schichtdicke, welche ein direktes Tunneln verhindert.

- In Figur 3G-I und Figur 3G-II sind wiederum die entsprechenden Schnittansichten I-I' und II-II' der Figur 3G dargestellt. Auf diese Weise erhält man folglich lokal begrenzte Speicherorte LB und RB, die in Form von Inseln über die jeweiligen Verfahrensschritte auf einfache Art und Weise sehr exakt definiert und angeordnet werden können, wodurch insbesondere ein Drift- und Diffusionsverhalten von eingebrachten
30 Ladungen wesentlich beeinflusst werden kann. Insbesondere können die eingebrachten Ladungsträger nunmehr nicht länger von einem Kanalende zum anderen Kanalende wandern, wodurch eine unbeabsichtigte Veränderung der Schwellwertspannungen in der Speicherzelle verhindert wird. Darüber hinaus erhält man
35 ein verbessertes Programmierverhalten, da eine Rekombination (Kompensation) von positiven und negativen Ladungen auf diesem sehr begrenztem Raum wesentlich schneller erfolgt.

Insbesondere bei Verwendung des sogenannten „silicon rich oxide“ (SRO) kann darüber hinaus durch Einstellung des Si-Anteils die Beweglichkeit der Ladungsträger in der Ladungsspeicherschicht 3 eingestellt werden, wodurch man auch eine laterale Leitfähigkeit innerhalb der lokal begrenzten Speicherorte definiert einstellen kann. Bei Verwendung von Si_3N_4 erfolgt eine derartige Einstellung der Beweglichkeit der Ladungsträger in der Ladungsspeicherschicht 3 unmittelbar durch den gewählten Abscheideprozess.

Ferner ist auf Grund der selbstjustierenden Prozesse diese Speicherzelle auch für sehr feine Strukturen geeignet, wobei sie nur geringe Anforderungen an eine nicht dargestellte Auswerteschaltung stellt.

Die Erfindung wurde vorstehend anhand von Silizium-Halbleiternmaterialien beschrieben. Sie ist jedoch nicht darauf beschränkt und umfasst in gleicher Weise auch alternative Halbleiternmaterialien. In gleicher Weise können auch andere ladungsspeichernde oder isolierende Schichten und alternative Dotierungen verwendet werden.

Bezugszeichenliste

- 1 Substrat
- 2 erste Isolationsschicht
- 5 3 elektrisch nicht leitende Ladungsspeicherschicht
- 4 zweite Isolationsschicht
- 5 Maskenschicht
- 6 Seitenwandschicht
- 7 Sourcegebiet
- 10 8 Draingebiet
- 9 dritte Isolationsschicht
- 10 elektrisch leitende Steuerschicht
- 11 vierte Isolationsschicht
- WL Wortleitung
- 15 LB, RB lokal begrenzter Speicherort
- U Unterbrechung
- G Gateanschluss
- S Sourceanschluss
- D Drainanschluss
- 20 V, V⁺ Ladungsträgerverteilung

Patentansprüche

1. Nichtflüchtige Halbleiter-Speicherzelle mit einem Substrat (1), das ein Sourcegebiet (7), ein Draingebiet (8) und ein dazwischen liegendes Kanalgebiet aufweist, wobei
5 im Wesentlichen an der Oberfläche des Kanalgebiets eine erste Isolationsschicht (2), eine elektrisch nicht leitende Ladungsspeicherschicht (3), eine zweite Isolationsschicht (4) und eine elektrisch leitende Steuerschicht (10) ausgebildet sind,
10 d a d u r c h g e k e n n z e i c h n e t, dass die elektrisch nicht leitende Ladungsspeicherschicht (3) zum Ausbilden eines ersten lokal begrenzten Speicherorts (LB) und eines zweiten lokal begrenzten Speicherorts (RB) eine Unterbrechung
15 (U) aufweist.
2. Nichtflüchtige Halbleiter-Speicherzelle nach Patentanspruch 1,
d a d u r c h g e k e n n z e i c h n e t, dass die erste
20 und/oder zweite Isolationsschicht (2, 4) ebenfalls eine Unterbrechung (U) aufweist.
3. Nichtflüchtige Halbleiter-Speicherzelle nach Patentanspruch 1 oder 2,
D d a d u r c h g e k e n n z e i c h n e t, dass die Unterbrechung (U) mit einer dritten Isolationsschicht (9) zumindest teilweise aufgefüllt ist.
4. Nichtflüchtige Halbleiter-Speicherzelle nach Patentanspruch 3,
30 d a d u r c h g e k e n n z e i c h n e t, dass in der zumindest teilweise aufgefüllten Unterbrechung (U) die elektrisch leitende Steuerschicht (10) ausgebildet ist.
- 35 5. Verfahren zur Herstellung einer nichtflüchtigen Halbleiter-Speicherzelle mit den Schritten:

- a) Ausbilden einer ersten Isolationsschicht (2), einer elektrisch nicht leitenden Ladungsspeicherschicht (3), einer zweiten Isolationsschicht (4) und einer Maskenschicht (5) auf einem Substrat (1);
- 5 b) Strukturieren der Maskenschicht (5);
- c) Ausbilden von Seitenwandschichten (6) an der strukturierten Maskenschicht (5);
- d) Entfernen von zumindest der zweiten Isolationsschicht (4) und der Ladungsspeicherschicht (3) unter Verwendung der strukturierten Maskenschicht (5) und der Seitenwandschicht (6);
- 10 e) Ausbilden von Source- und Draingebieten (7, 8) im Substrat (1);
- f) Entfernen der Maskenschicht (5);
- 15 g) Entfernen der zweiten Isolationsschicht (4), der Ladungsspeicherschicht (3) und der ersten Isolationsschicht (2) unter Verwendung der Seitenwandschichten (6);
- h) Entfernen der Seitenwandschichten (6);
- i) Ausbilden einer dritten Isolationsschicht (9);
- 20 j) Ausbilden einer elektrisch leitenden Steuerschicht (10);
- k) Strukturieren der Steuerschicht (10) zum Ausbilden von Wortleitungen (WL); und
- l) Entfernen der dritten Isolationsschicht (9), der zweiten Isolationsschicht (4), der Ladungsspeicherschicht (3) und der ersten Isolationsschicht (2) unter Verwendung der strukturierten Steuerschicht (10) zum Ausbilden von lokal begrenzten Speicherorten (LB, RB).
6. Verfahren nach Patentanspruch 5,
30 g e k e n n z e i c h n e t d u r c h den Schritt
- m) Ausbilden einer vierten Isolationsschicht (11).
7. Verfahren nach einem der Patentansprüche 5 oder 6,
d a d u r c h g e k e n n z e i c h n e t, dass in Schritt
- 35 d), f), g) und/oder l) ein anisotropes Ätzen durchgeführt wird.

8. Verfahren nach einem der Patentansprüche 5 bis 7, dadurch gekennzeichnet, dass in Schritt h) ein Nassätzen durchgeführt wird.

5 9. Verfahren nach einem der Patentansprüche 5 bis 8, dadurch gekennzeichnet, dass in Schritt e) eine Ionenimplantation unter Verwendung der ersten Isolationsschicht (2) als Streumaterial verwendet wird und anschließend die erste Isolationsschicht (2) entfernt wird.

10 10. Verfahren nach einem der Patentansprüche 5 bis 8, dadurch gekennzeichnet, dass in Schritt d) ferner die erste Isolationsschicht (2) entfernt wird; und

15 in Schritt e) eine Ionenimplantation unmittelbar in das Substrat (1) durchgeführt wird.

11. Vorrichtung oder Verfahren nach einem der Patentansprüche 1 bis 10, dadurch gekennzeichnet, dass eine Dicke der ersten Isolationsschicht (2) größer als eine Materialdicke für direktes Tunneln ist.

12. Vorrichtung oder Verfahren nach einem der Patentansprüche 1 bis 11, dadurch gekennzeichnet, dass die erste, zweite, dritte und/oder vierte Isolationsschicht (2, 4, 9, 11) SiO_2 aufweist.

30 13. Vorrichtung oder Verfahren nach einem der Patentansprüche 1 bis 12, dadurch gekennzeichnet, dass die elektrisch nicht leitende Ladungsspeicherschicht (3) Si_xO_y oder Si_3N_4 aufweist.

35 14. Vorrichtung oder Verfahren nach einem der Patentansprüche 1 bis 13,

18

d a d u r c h g e k e n n z e i c h n e t, dass die Steu-
erschicht (10) und/oder die Maskenschicht (5) dotiertes Poly-
Silizium, ein Metall und/oder siliziertes Halbleitermaterial
aufweisen.

5

15. Vorrichtung oder Verfahren nach einem der Patentansprü-
che 1 bis 14,

d a d u r c h g e k e n n z e i c h n e t, dass das Sub-
strat (1) Si aufweist.

10

1/4

FIG 1 Stand der Technik

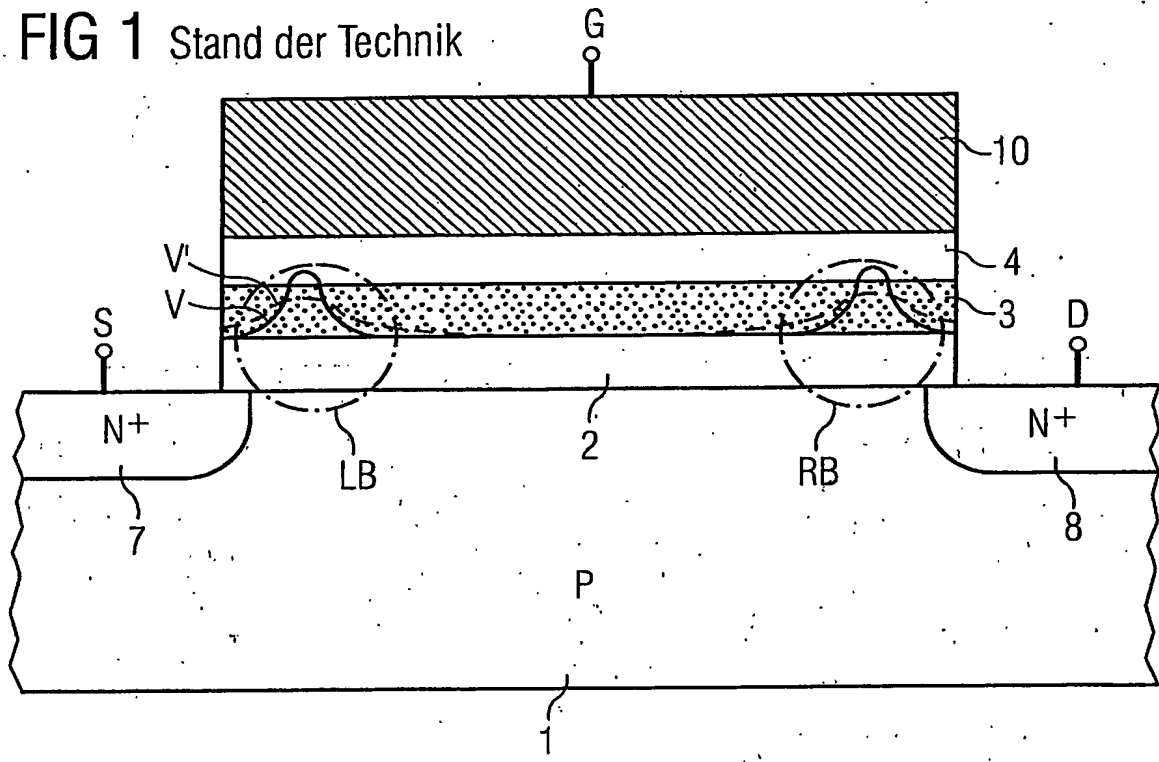


FIG 2

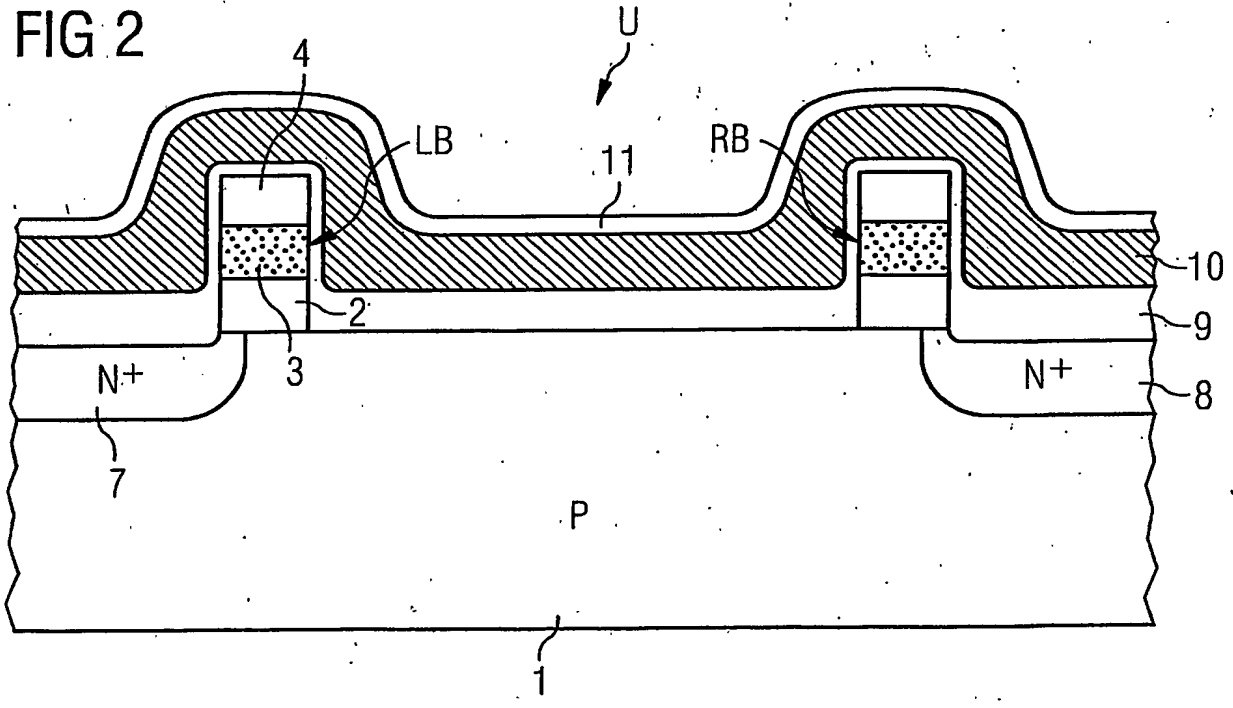


FIG 3A

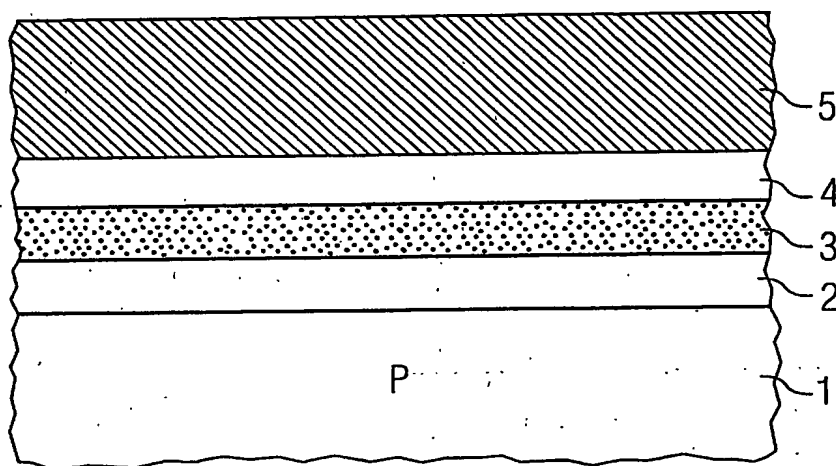


FIG 3B

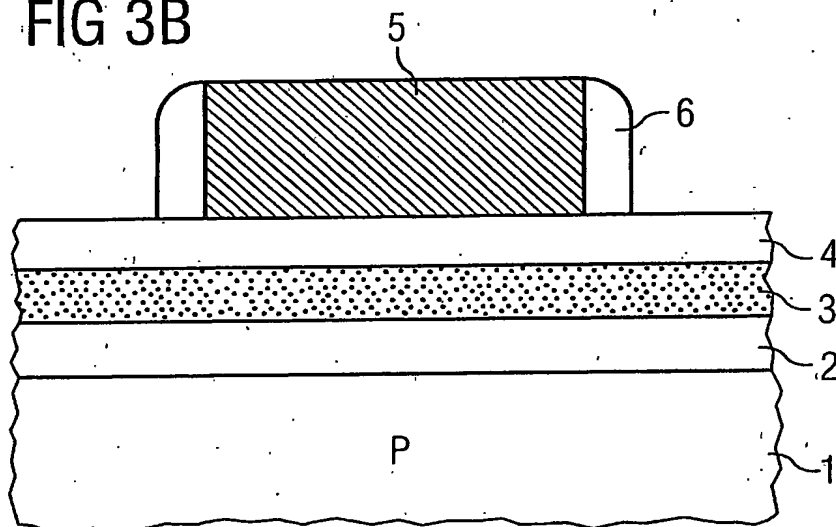


FIG 3C

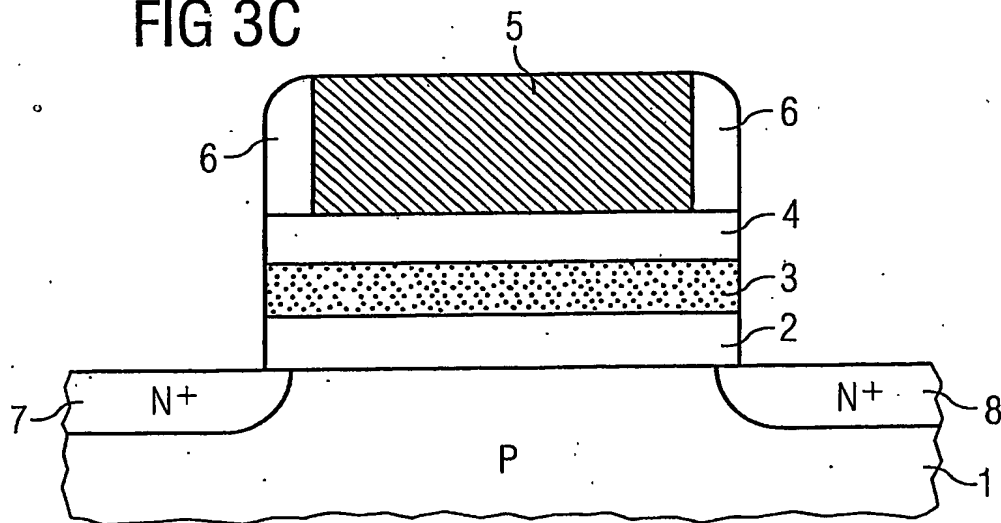


FIG 3D

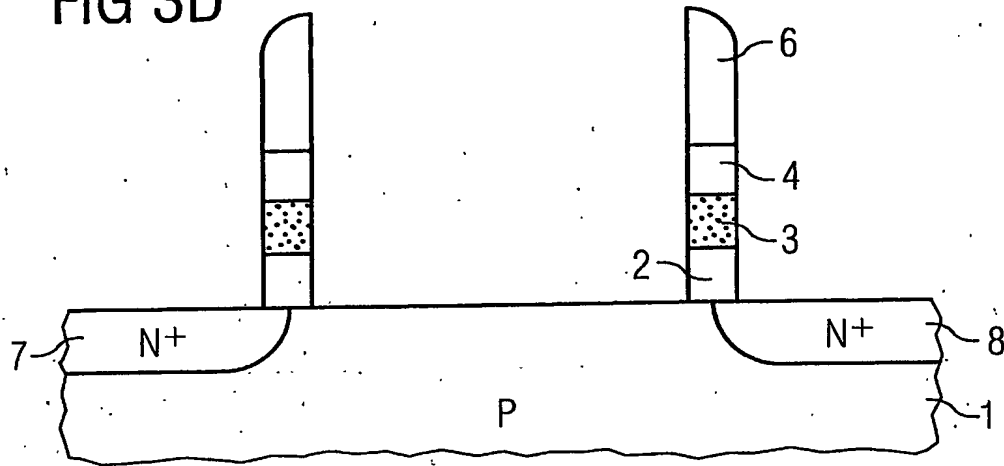


FIG 3E

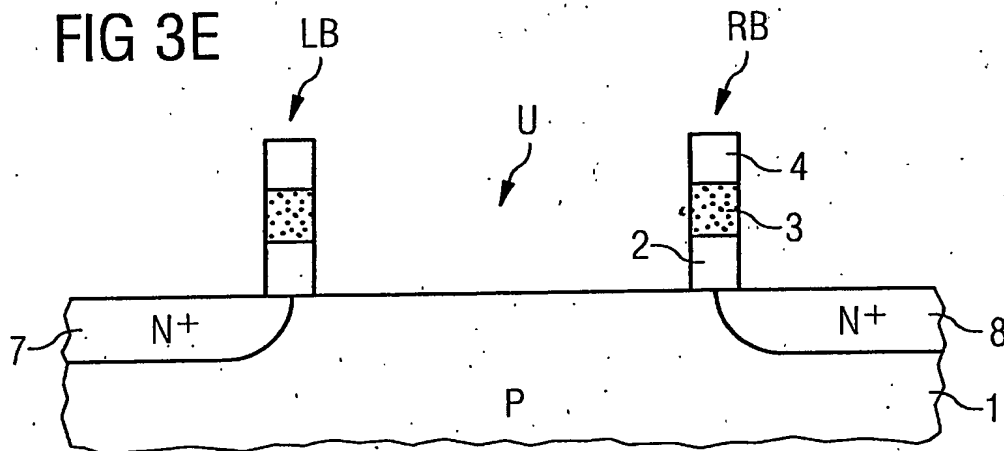


FIG 3F

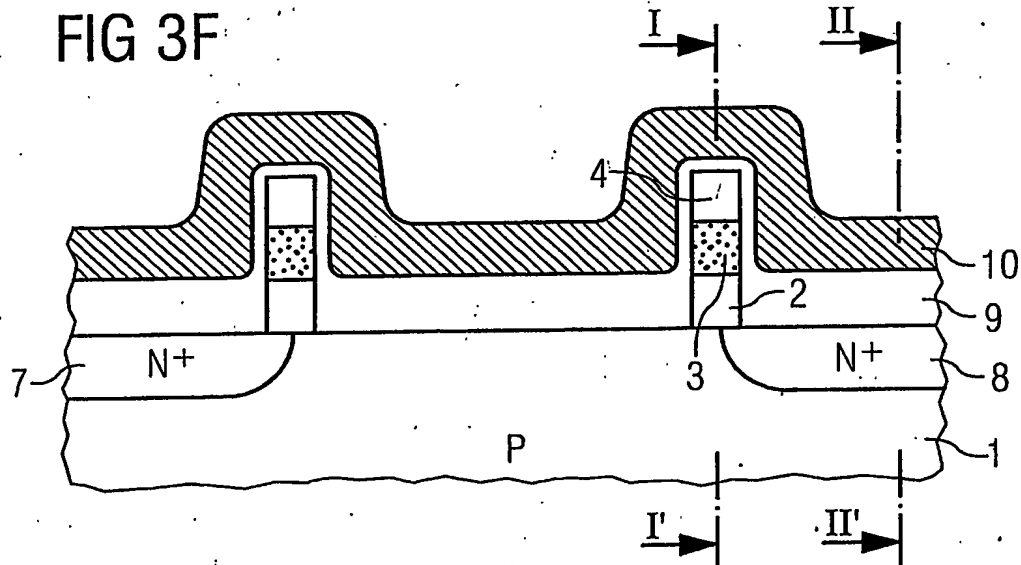


FIG 3F-I

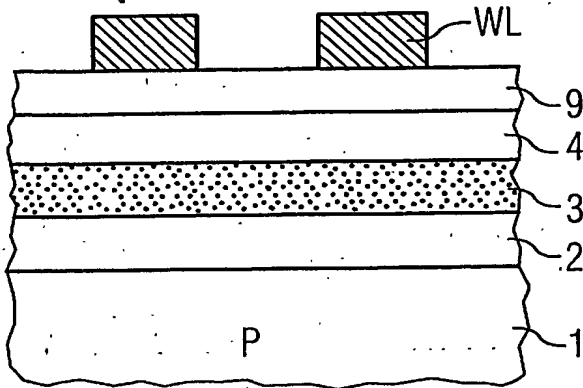


FIG 3F-II

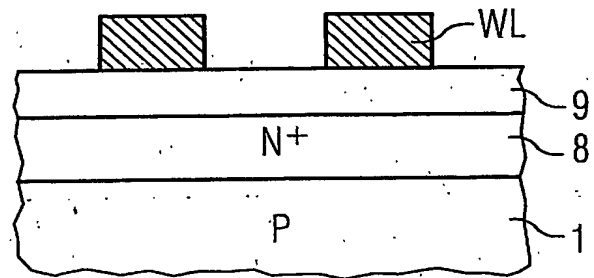


FIG 3G

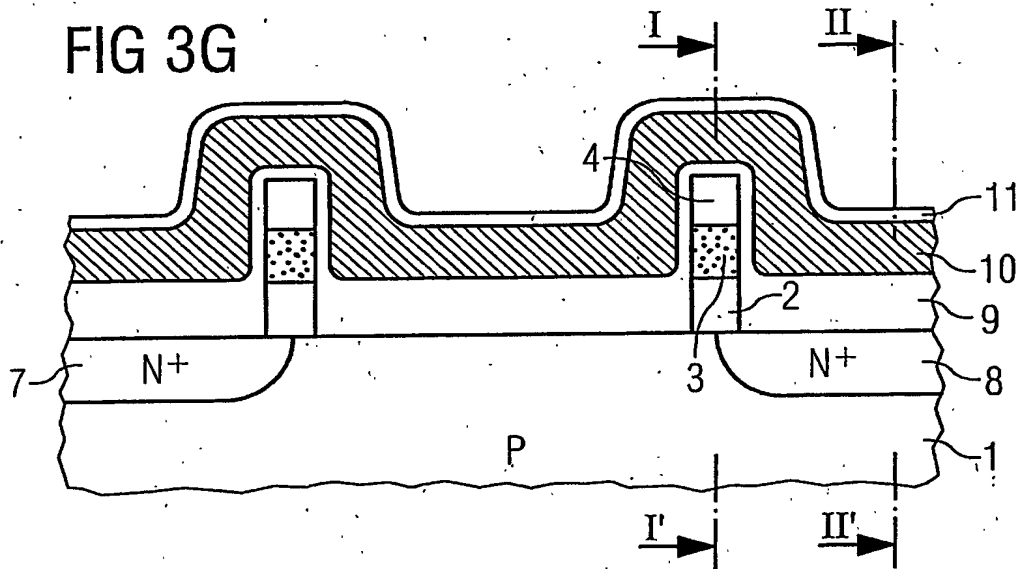


FIG 3G-I

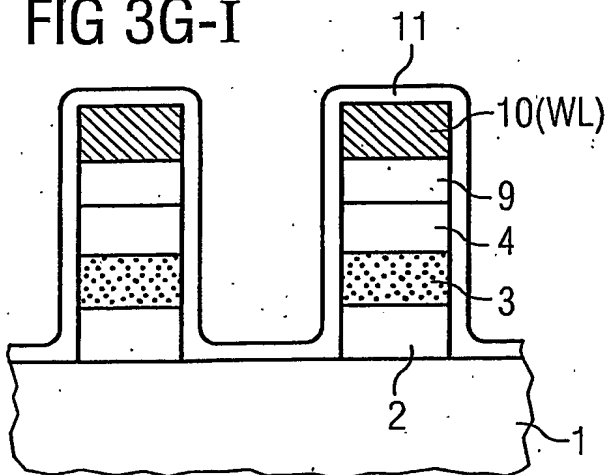
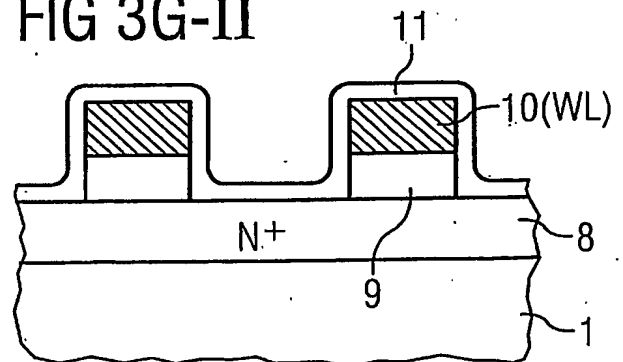


FIG 3G-II



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.